

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-163878  
 (43)Date of publication of application : 15.07.1991

(51)Int.CI. H01L 31/10

(21)Application number : 01-284191	(71)Applicant : HAMAMATSU PHOTONICS KK
(22)Date of filing : 31.10.1989	(72)Inventor : KYOMASU MIKIO SAWARA MASAAKI NAKAMURA HIROYASU OKAJIMA KENICHI

(30)Priority

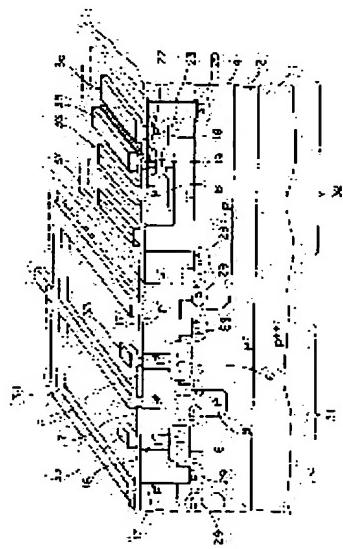
Priority number : 01226308 Priority date : 31.08.1989 Priority country : JP

## (54) P-I-N PHOTODIODE

### (57)Abstract:

**PURPOSE:** To increase the speed of response by using the rear of a high-concentration first conductivity type semiconductor substrate as an anode, a second conductivity type buried layer as a cathode and a low-concentration first conductivity type epitaxial layer as an I layer.

**CONSTITUTION:** The rear of a high-concentration first conductivity type semiconductor substrate 1 is employed as an anode, a second conductivity type buried layer 6 as a cathode, and a low-concentration first conductivity type epitaxial layer 2 as an I layer. Consequently, photocurrents in the lateral direction connected to a p-type doping layer 17, the low-concentration first conductivity type epitaxial layer 2 and the second conductivity type buried layer 6 are also made to flow besides photocurrents in the vertical direction connected to the high-concentration first conductivity type semiconductor substrate 1, the low-concentration first conductivity type epitaxial layer 2 and the second conductivity type buried layer 6, thus reducing parasitic resistance. Accordingly, the speed of response is increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**Best Available Copy**

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平3-163878

⑬Int.Cl.<sup>5</sup>  
H 01 L 31/10

識別記号

庁内整理番号

⑭公開 平成3年(1991)7月15日

9055-5F H 01 L 31/10

A

審査請求 未請求 請求項の数 3 (全7頁)

⑮発明の名称 PINホトダイオード  
⑯特願 平1-284191  
⑰出願 平1(1989)10月31日  
優先権主張 ⑱平1(1989)8月31日 ⑲日本(JP) ⑳特願 平1-226308  
㉑発明者 京 増 駿 雄 静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内  
㉒発明者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内  
㉓発明者 中 村 浩 康 静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内  
㉔出願人 浜松ホニクス株式会社 静岡県浜松市市野町1126番地の1  
㉕代理人 弁理士 長谷川 芳樹 外3名  
最終頁に続く

明細書

1. 発明の名称

PINホトダイオード

2. 特許請求の範囲

1. 高濃度第1導電型半導体基板と、その上に形成された低濃度第1導電型エピタキシャル層と、この低濃度第1導電型エピタキシャル層の所定領域の表層部に形成された第2導電型埋込層およびこの第2導電型埋込層を取り囲むように形成されたp型ドープ層とを有し、

前記高濃度第1導電型半導体基板の裏面がアノードとなり、前記第2導電型埋込層がカソードとなり、前記低濃度第1導電型エピタキシャル層が1層となっているPINホトダイオード。

2. 第2導電型がn型であってp型ドープ層が高濃度第1導電型半導体基板の裏面と共にアノードとなり、かつ前記n型埋込層およびp型ドープ層がそれぞれ複数個形成されており、n型埋込

層同士およびp型ドープ層同士が配線によって相互に接続されている請求項1記載のPINホトダイオード。

3. p型ドープ層がそれぞれ複数個形成されており、層同士が配線によって相互に接続されている請求項1記載のPINホトダイオード。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、光通信用受光素子等として広く利用されるPINホトダイオードに関するものである。

〔従来の技術〕

PINホトダイオードは、逆バイアスを印加したときの空乏領域の伸びがPN構造のホトダイオードに比べて大きい。そのため、相対的に拡散電流成分が少なくドリフト電流成分が多くなり、また、接合容量が小さくなる。したがって、応答速度が速く、高速受光素子として広く用いられている。

## 〔発明が解決しようとする課題〕

しかし、今日の光通信における通信速度の高速化の進展に対応するためには、さらに、応答速度を高めることが望まれている。

本発明の課題は、このような問題点を解消することにある。

## 〔課題を解決するための手段〕

上記課題を解決するために、本発明のPINホトダイオードは、高濃度第1導電型半導体基板と、その上に形成された低濃度第1導電型エピタキシャル層と、この低濃度第1導電型エピタキシャル層の所定領域の表層部に形成された第2導電型埋込層およびこの第2導電型埋込層を取り囲むように形成されたp型ドープ層とを有し、高濃度第2導電型半導体基板の裏面がアノードとなり、第2導電型埋込層がカソードとなり、低濃度第1導電型エピタキシャル層がI層となっている。

## 〔作用〕

高濃度第1導電型半導体基板、低濃度第1導電型エピタキシャル層、第2導電型埋込層と繋がる

綫方向の光電流の他に、p型ドープ層、低濃度第1導電型エピタキシャル層、第2導電型埋込層と繋がる横方向の光電流が流れる。そのため、寄生抵抗が大幅に低減する。

## 〔実施例〕

第1図は本発明の半導体装置の一実施例を示す部分断面斜視図であり、第2図はその製造過程の最初に行われるエピタキシャル成長工程と主要埋込層の形成工程を示す工程断面図である。

初めに、本実施例の半導体装置の構造をより正確に理解するために、第2図を用いて製造工程の最初の部分を説明する。不純物濃度が $10^{20} \sim 10^{21}/\text{cm}^3$ 程度の高濃度p型半導体基板1上に不純物濃度が $10^{12} \sim 10^{14}/\text{cm}^3$ 程度の低濃度p型エピタキシャル層2を $30 \sim 50 \mu\text{m}$ の厚さで形成する(第2図(A)参照)。つぎに、表面に $\text{SiO}_2$ 膜3を形成し、フォトリソグラフィ技術によってその $\text{SiO}_2$ 膜3を加工する。その $\text{SiO}_2$ 膜3をマスクとして上方からボロンをイオン注入し、n-p-nトランジスタのためのpウェ

## — 4 —

ル埋込層4、およびPINホトダイオードのアノード領域のp型埋込層8を形成する。埋込層4および8の不純物濃度は $10^{15} \sim 10^{16}/\text{cm}^3$ 程度である(第2図(B)参照)。pウェル埋込層4の位置で示されるように、同図におけるほぼ右半分がn-p-nトランジスタ形成領域であり、左半分がPINホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の $\text{SiO}_2$ 膜3を加工し、加工後の $\text{SiO}_2$ 膜をマスクとしてアンチモン(Sb)を熱拡散する。これによって、n-p-nトランジスタ用のn型埋込層5およびPINホトダイオード用のn型埋込層6が形成される。n型埋込層5、6の不純物濃度は $10^{19} \sim 10^{20}/\text{cm}^3$ 程度である(第2図(C)参照)。第3図は上述した埋込層4～6および8のプロファイルを示しており、曲線Aがアンチモンのプロファイルであり、曲線Bがボロンのプロファイルである。その後、表面の $\text{SiO}_2$ 膜3を除去し、n-p-nトランジスタを形成するための $2 \mu\text{m} \pm 0.2 \mu\text{m}$ の厚さのn型エピタキシャル層

7を形成する。その不純物濃度は $10^{15} \sim 10^{16}/\text{cm}^3$ 程度である(第2図(D)参照)。以上で、埋込拡散とエピタキシャル成長工程が終わり、引き続いて分離プロセスおよびn-p-nトランジスタ形成工程を経ることにより、第1図に示す本実施例の半導体装置が完成する。上記の説明からも明らかなように、第1図に示す本実施例の半導体装置は、高濃度p型半導体基板1の上に2層のエピタキシャル層を形成することにより、同一基板上にPINホトダイオード31とn-p-nトランジスタ32とをモノリシックに形成することを可能にしている。なお、第4図はPINホトダイオード31の平面図である。

PINホトダイオード31は、n型埋込層6をN層、低濃度p型エピタキシャル層をI層、n型埋込層6の周囲を取り囲むp型ドープ層17および高濃度p型半導体基板1をP層とするものである。n型埋込層6は2つの領域に別れている。n型埋込層6には電極取出層16を介してカソード電極33が設けられており、基板1の裏面には

## — 3 —

ル埋込層4、およびPINホトダイオードのアノード領域のp型埋込層8を形成する。埋込層4および8の不純物濃度は $10^{15} \sim 10^{16}/\text{cm}^3$ 程度である(第2図(B)参照)。pウェル埋込層4の位置で示されるように、同図におけるほぼ右半分がn-p-nトランジスタ形成領域であり、左半分がPINホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の $\text{SiO}_2$ 膜3を加工し、加工後の $\text{SiO}_2$ 膜をマスクとしてアンチモン(Sb)を熱拡散する。これによって、n-p-nトランジスタ用のn型埋込層5およびPINホトダイオード用のn型埋込層6が形成される。n型埋込層5、6の不純物濃度は $10^{19} \sim 10^{20}/\text{cm}^3$ 程度である(第2図(C)参照)。第3図は上述した埋込層4～6および8のプロファイルを示しており、曲線Aがアンチモンのプロファイルであり、曲線Bがボロンのプロファイルである。その後、表面の $\text{SiO}_2$ 膜3を除去し、n-p-nトランジスタを形成するための $2 \mu\text{m} \pm 0.2 \mu\text{m}$ の厚さのn型エピタキシャル層

## — 5 —

図示省略したアノード電極が設けられている。また、p型ドープ層17上の電極34も、裏面の電極と共にPINホトダイオードのアノード電極として機能するものである。

アノードとカソードの間に逆バイアスが印加された状態で光が入射すると、低濃度p型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。本実施例では、電極34がアノード電極として付加されることにより、横方向（水平方向）へも光電流が流れ、アノード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。

n-p-nトランジスタ32は、エミッタ22、コレクタ23、真性ベース19、外部ベース18で構成されており、図示のように、エミッタ電極35、ベース電極36、コレクタ電極37が設けられている。p型埋込層4は周囲の素子との間のパンチスルーを防止するために設けられている。また、分離溝の底部の周囲にはトップ層29が

- 7 -

102が形成され、n-p-nトランジスタ32直下のp型埋込層4と低濃度n型エピタキシャル層102がpn接合していることである。ここで、PINホトダイオード31はn型埋込/電極取出層106および高濃度n型半導体基板101をN層、低濃度n型エピタキシャル層102をI層、p型ドープ層17およびp型埋込層108をP層として形成される。そして、n型埋込/電極取出層106にはカソード電極33が形成され、p型ドープ層17にはアノード電極34が形成される。

第1図に示す実施例では、高濃度p型半導体基板1はアースされていたが、第5図の実施例では電極139を介してp型埋込層4がアースされ、高濃度n型半導体基板101には正の電源が電圧が印加される。このため、p型埋込層4と低濃度エピタキシャル層102のpn接合が逆バイアスとなり、PINホトダイオード31とn-p-nトランジスタ32は接合分離されるので、PINホトダイオード31のバイアス電圧を高くすることが可能になる効果がある。

設けられ、パンチスルーを一層効果的に防止している。

なお、本実施例のPINホトダイオードでは、N層であるn型埋込層6が2つの領域に分離されているが、それ以上の多数の領域に分離し、各領域をそれぞれp型ドープ層で取り囲むことにより寄生抵抗をさらに低減することができる。

また、n型埋込層6およびp型ドープ層17の平面形状は本実施例に限定されるものではない。たとえば、両者を同心円状に交互に並べ、同種の層同士を表面の配線で接続してもよい。

第5図は本発明の別の実施例の断面図である。

この場合にも、PINホトダイオード31とn-p-nトランジスタ32がモノリシックに集成されている。そして、これが前述の実施例と特徴的に異なる点は、基板およびエピタキシャル層が逆の導電型（n型）となり、PINホトダイオード31とn-p-nトランジスタ32の接合分離がされている点である。すなわち、高濃度n型半導体基板101上には低濃度n型エピタキシャル層

- 8 -

#### 〔発明の効果〕

以上説明したように、本発明のPINホトダイオードは、高濃度p型（またはn型）半導体基板をP層（またはN層）とする縦方向の光電流の他に、p型（またはn型）埋込層をP層（またはN層）とする横方向の光電流も流れることで、寄生抵抗が大幅に低減する。したがって、さらに高速動作が可能となり、光通信の高速化に役立つ。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の部分断面斜視図、第2図はその製造方法の一部のプロセスを示す工程断面図、第3図は埋込層のプロファイルを示すグラフ、第4図は第1図のPINホトダイオード領域を示す平面図、第5図は本発明の別の実施例の断面図である。

1…高濃度p型半導体基板、101…高濃度n型半導体基板、2…低濃度p型エピタキシャル層、102…低濃度n型エピタキシャル層、4…p型埋込層、5、6…n型埋込層、7…n型エピタキ

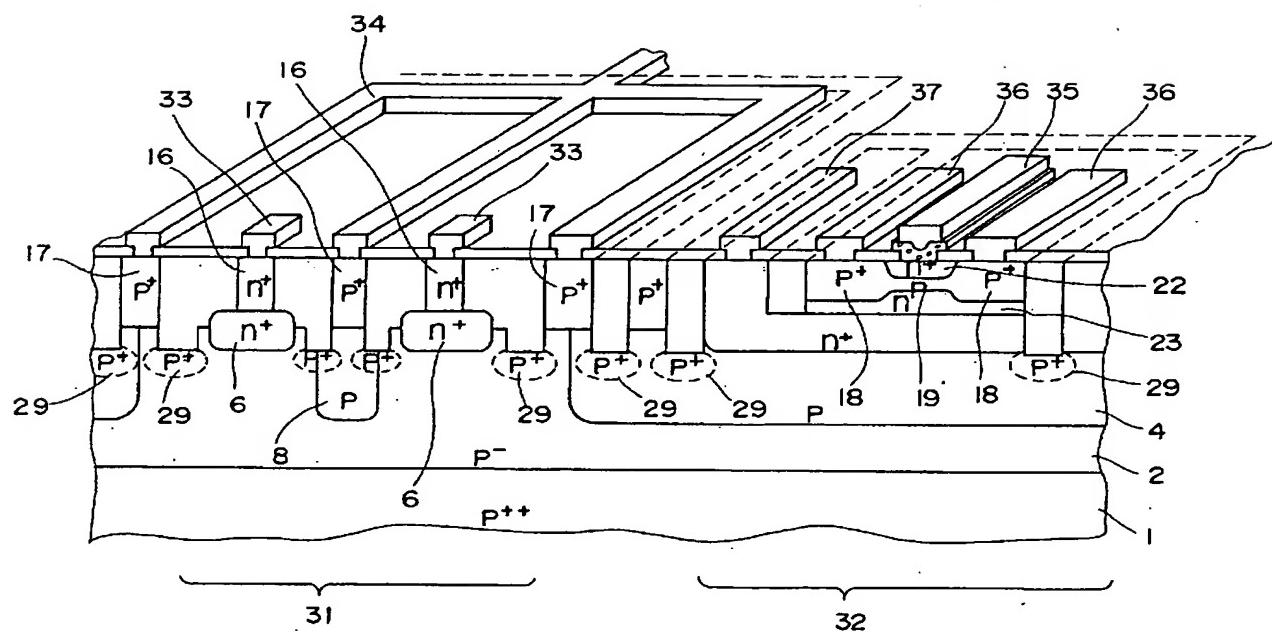
- 9 -

- 10 -

シャル層、17…p型ドープ層、18…外部ベース、19…真性ベース、22…エミッタ、23…コレクタ、31…PINホトダイオード、32…n-p-nトランジスタ、33…カソード電極、34…アノード電極。

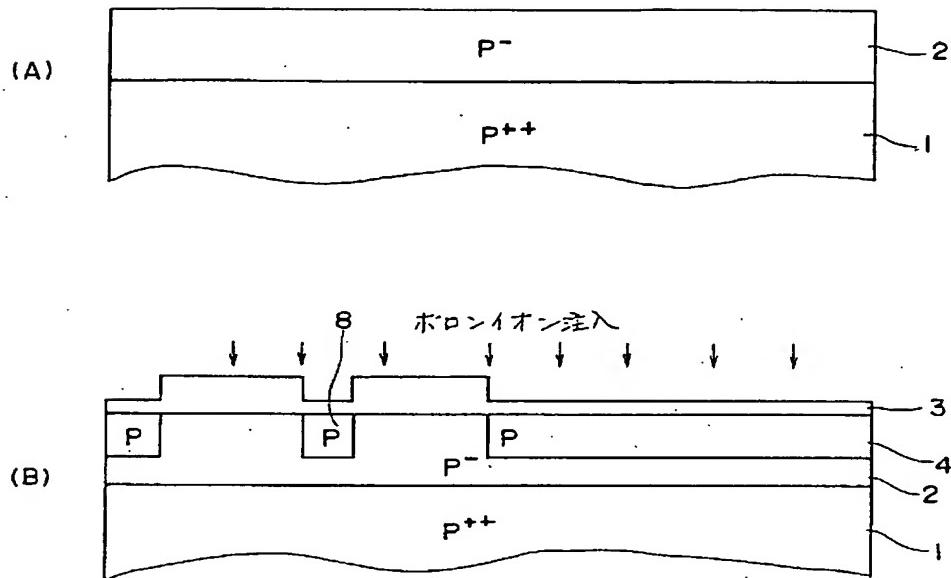
代理人弁理士 長谷川芳樹

— 11 —



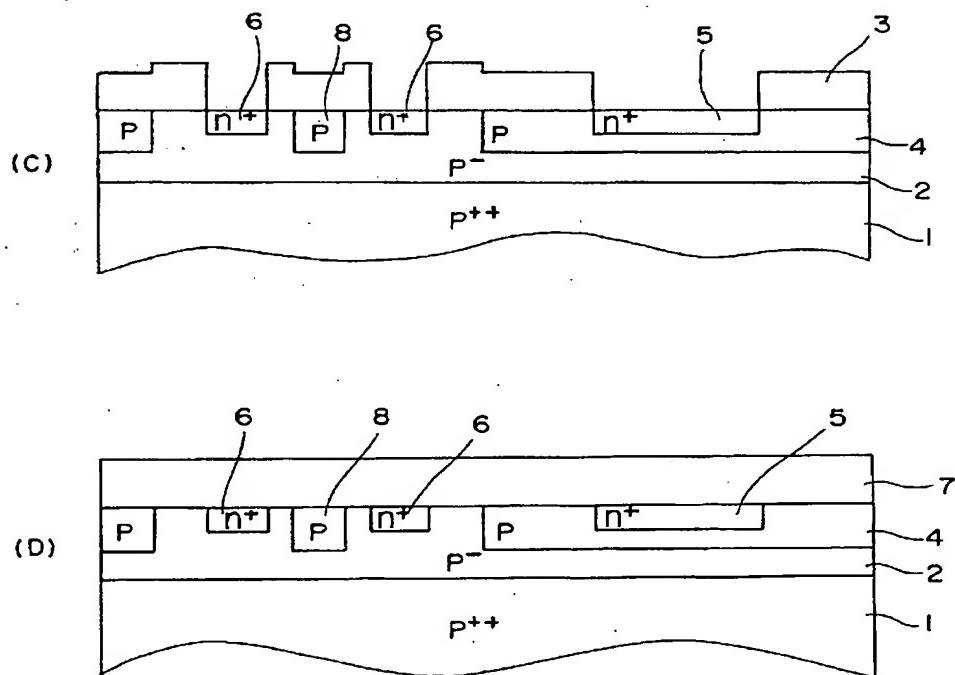
### 实施例

第一圖

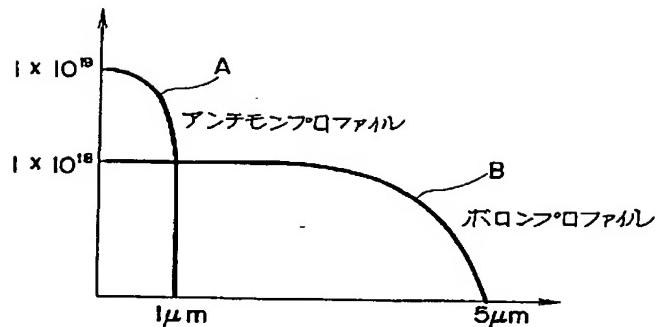


実施例の製造方法(前半)

第 2 図

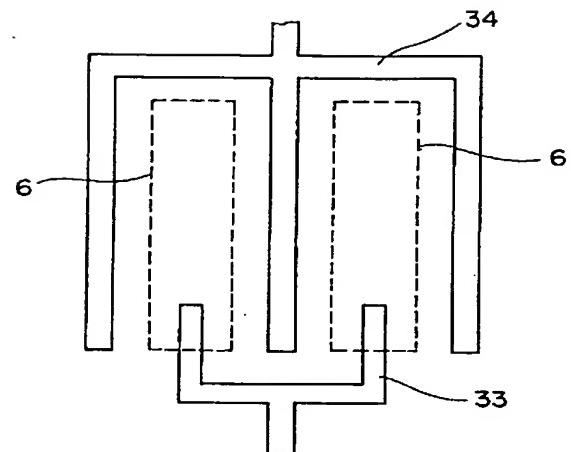


実施例の製造方法(後半)



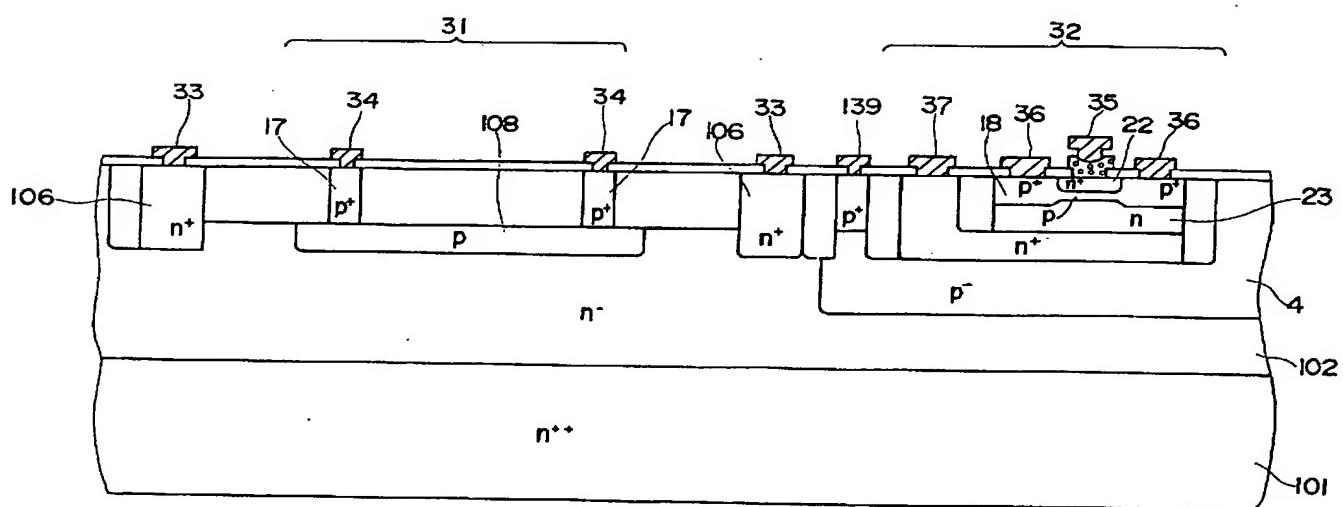
埋込層のプロファイル

第 3 図



実施例の平面図

第 4 図



別の実施例

第 5 図

第1頁の続き

②発明者 岡島 賢一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**